

高速CMOS模拟开关 多路输出转换器

概述

SN74HC4051/4052/4053 是一组用高速 CMOS 工艺设计制作的高性能双向模拟开关，这些模拟开关具有很低的导通电阻和很小的关断漏电流。这些模拟开关的关断和切换由外部数字信号控制，芯片内部含有逻辑电平转换器，因此，输入控制电平和 74HC 系列数字电路一致，2V 到 6V 的数字电平均可对模拟开关实现控制。

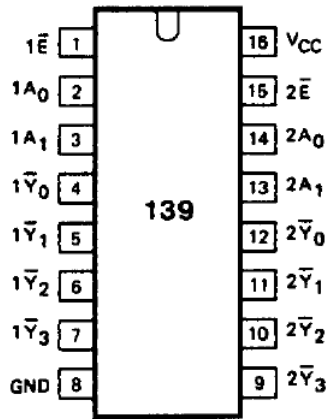
模拟开关的衬底和外部输入的电平 V_{EE} 相连， V_{EE} 的电平可在 0V 到 -7V 的范围内选择，因此，可实现对负向模拟信号的传送。被传送模拟信号的最大峰-峰值可达 $\pm 5V$ 。HC4051/52/53 系列模拟开关的典型导通电阻小于 50 欧姆，允许通过的模拟信号频率可达 200MHz。因此，特别适合于传送和切换高频信号、视频信号。

HC4051/52/53 是一组八选一的多路选择模拟开关，HC4051/52/53 是两组四选一的多路选择模拟开关，HC4051/52/53 是三组八选一的多路选择模拟开关。这些模拟开关都有独立的禁止输入端，可阻断全部模拟开关的信号传送。

特点

- ◆ 很宽的模拟信号输入范围： $\pm 5V$ （最大）
- ◆ 很低的导通电阻：
 - 70 典型值 ($V_{CC} - V_{EE}=4.5V$)
 - 40 典型值 ($V_{CC} - V_{EE}=9.0V$)
- ◆ 通道串音低
- ◆ 模拟开关高速切换
- ◆ 模拟信号高速传送
- ◆ 先断后开的开关机制
- ◆ 全温区工作范围 ($-55^{\circ}C - +125^{\circ}C$)
- ◆ 74HC 输入电平兼容

管脚图



管脚定义

管脚号	管脚名称	功能
1、15	1E ⁻ 、2E ⁻	控制输入端（低有效）
2、3	1A ₀ 、1A ₁	地址输入端
4~7	1Y ₀ ⁻ ~1Y ₃ ⁻	输出端（低有效）
8	GND	接地端（0V）
12~9	2Y ₀ ⁻ ~2Y ₃ ⁻	输出端（低有效）
14、13	2A ₀ 、2A ₁	地址输入端
16	VCC	电源正极

动态参数速查表

GND=0V; T_{AMB}=25°C; tr=tf=6ns

符号	参数	条件	数值	单位
t _{PHL} /t _{PLH}	传播延迟 An-Yn ⁻	C _L =15pL; Vcc=5V	12	ns
t _{PHL} /t _{PLH}	E3-Yn ⁻ En-Yn ⁻		14	ns
C _i	输入电容		3.5	pF
C _{PD}	封装后的电源耗散电容	备注 1 和 2	67	pF

备注:

1、CPD 用来测定动态电源耗散（PD 的单位为 uW）:

$$P_D = C_{PD} \times V_{CC}^2 \times f_1 + \Sigma (C_L \times V_{CC}^2 \times f_0)$$

f₁=输入频率，单位为 MHz

f₀=输出频率，单位为 MHz

Σ (C_L × VCC² × f₀) = 输出的总和

C_L=输出负载电容，单位为 pF

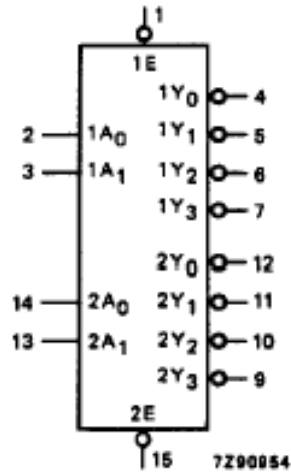
Vcc=电源电压，单位为 V

2、VI=Vcc-GND

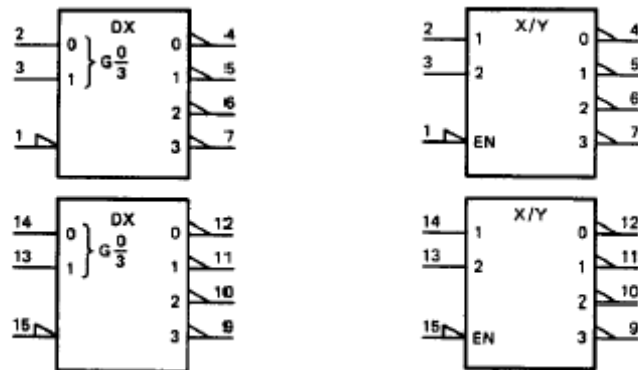
应用范围

- ◆ 存储器译码或数据路由定址
- ◆ 码转换

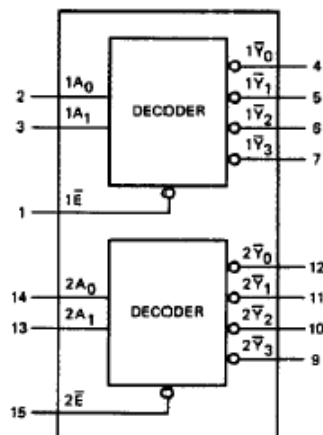
逻辑符号表示



IEC 逻辑符号表示



功能简图

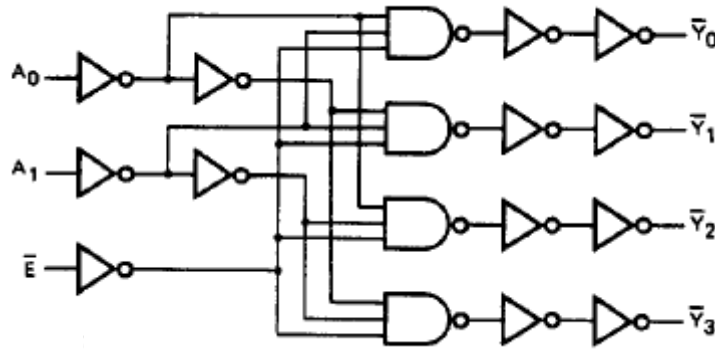


✎ 功能函数表

INPUTS			OUTPUTS			
\bar{nE}	nA_0	nA_1	$n\bar{Y}_0$	$n\bar{Y}_1$	$n\bar{Y}_2$	$n\bar{Y}_3$
H	X	X	H	H	H	H
L	L	L	L	H	H	H
L	H	L	H	L	H	H
L	L	H	H	H	L	H
L	H	H	H	H	H	L

备注：H=高电平，L=低电平，X=不用考虑

✎ 逻辑图



✎ 直流工作参数

GND=0V; T_{AMB}=25°C; tr=tf=6ns

符号	项目	25°C		-40~85°C		-40~125°C		单位	测试条件				
		最小值	典型值	最大值	最小值	最大值	最小值		最大值	VCC (V)	波形		
t _{PHL} /t _{PLH}	传输		41	150		190		225	ns	2.0	图6		
	延迟		15	30		38		45		4.5			
	A _n -Y _n		12	26		33		38		6.0			
t _{PHL} /t _{PLH}	传输		47	150		190		225		2.0		图7	
	延迟		17	30		38		45		4.5			
	E3-Y _n		14	26		33		38		6.0			
t _{PHL} /t _{PLH}	传输		47	150		190		225	ns	2.0	图6和图7		
	延迟		17	30		38		45		4.5			
	E _n -Y _n		14	26		33		38		6.0			
t _{THL} /t _{TLH}	输出		19	75		95		110		ns		2.0	图6和图7
	转换		7	15		19		22				4.5	
	时间		6	13		16		19				6.0	

✎ 波形图

$V_M=50\%$, $V_1=V_{DD}-V_{CC}$

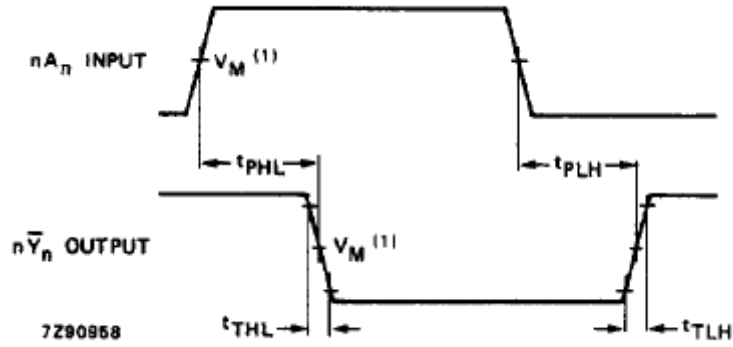


图 6 地址输入 (nA_n) 到输出 (nY_n) 的传输延迟和输出转换时间

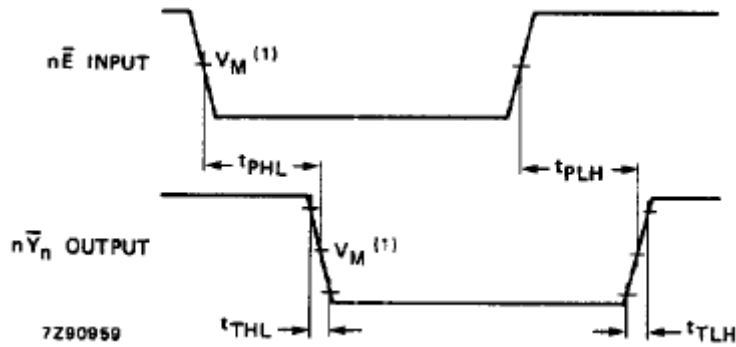
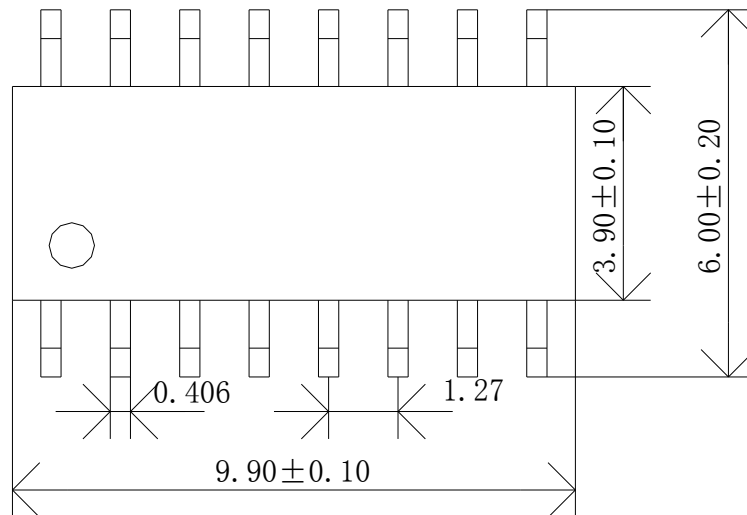
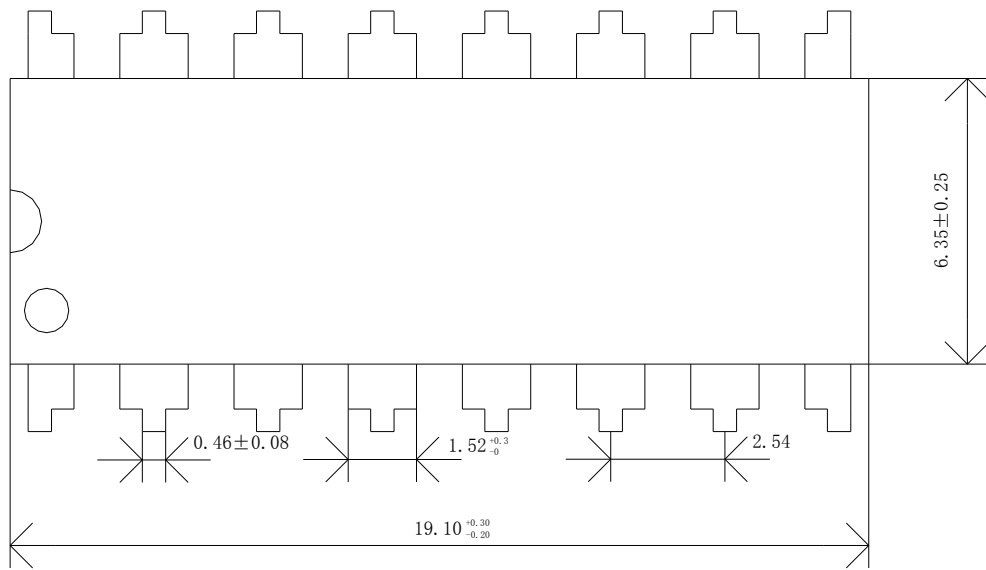


图 7 控制输入 (nE) 到输出 (nY_n) 的传输延迟和输出转换时间

封装尺寸图



SOP16 封装形式



DIP16 封装形式